

PLA-91-17

91/11/14

1 GeV リニアック検討資料

1 GEV LINAC DESIGN NOTE

題目(TITLE)

長パルスモジュレータ用サイリスタスイッチ

著者(AUTHOR)

川村真人 穴見昌三 小野正明 工藤喜久雄 久保忠志
久保田親 高崎栄一 竹中たてる 木原元央

概要(ABSTRACT)

A long-pulse, high-duty klystron modulator which was fabricated as a prototype for the JHP 1-GeV proton linac had used two thyratrons in parallel for discharging a pulse forming network (PFN). From a viewpoint of reliable operation and long lifetime, however, it seems that thyratrons are not preferable for our use of long-pulse and high-average currents (now, 15 A at 400 μ s pulse width and, final, 23 A at 60 μ s); therefore we must develop the use of thyristors in place of the thyratrons. Recently a full rate thyristor switch which fulfills to our requirements has been completed, and tested in the modulator with a klystron load through a pulse transformer. In this report, we describe the design considerations and report test results.

KEY WORDS: Ion Source, RFQ, DTL, Magnet, Monitor, Beam Dynamics, Transport, Vacuum, Cooling, Klystron, Low Level RF, High Power RF, Modulator, Control, Operation, Radiation, Others

高エネルギー物理学研究所 KEK

A THYRISTOR SWITCH FOR THE LONG-PULSE MODULATOR

M. Kawamura, S. Anami, M. Ono, K. Kudo, T. Kubo, C. Kubota, E. Takasaki,
T. Takenaka, and M. Kihara

KEK, National Laboratory for High Energy Physics
1-1 Oho, Tsukuba-shi, Ibaraki-ken, 305, Japan

ABSTRACT

A long-pulse, high-duty klystron modulator which was fabricated as a prototype for the JHP 1-GeV proton linac had used two thyatrons in parallel for discharging a pulse forming network (PFN). From a viewpoint of reliable operation and long lifetime, however, it seems that thyatrons are not preferable for our use of long-pulse and high-average currents (now, 15 A at 400 μ s pulse width and, final, 23 A at 600 μ s); therefore we must develop the use of thyristors in place of the thyatrons. Recently a full rate thyristor switch which fulfills to our requirements has been completed, and tested in the modulator with a klystron load through a pulse transformer. In this report, we describe the design considerations and report test results.

長パルスモジュレータ用サイリスタスイッチ

1. はじめに

JHP 1 GeV 陽子リニアック用のクライストロン・モジュレータ⁽¹⁾⁽²⁾は、これまでパルス成形回路 (PFN) の放電スイッチに2本のサイラトロン (F-259, ITT) を用いていた。しかしモジュレータに要求されるのは“長パルス、大平均電流” (現在、パルス幅: 400 μ s、平均電流: 15 A、最終性能、600 μ s、23 A) であり、この性能で確実に運転させなおかつ長い寿命を期待するにはサイラトロンは不向きと考えられる。したがってこのPFN放電スイッチを固体化する必要がある。その場合に問題となったのがオン電流上昇率 (di/dt) の許容値である。サイリスタでは非繰り返し時の値のみ明らかにされており、新たに繰り返し動作時での試験を行なう必要が生じた。そして日立CSP300A35という普通サイリスタを用いて高 di/dt での耐量評価試験を行なった結果、パルス幅: 600 μ s、繰り返し: 50 Hz、電流ピーク値: 750 A、 $di/dt = 100$ A/ μ sで長期の使用に耐えることがわかった。これは本モジュレータのPFN放電スイッチの必要性能である。

このような結果のもとに昨年度この普通サイリスタを6個スタックした常用耐圧9 kVの縮小モデルをモジュレータに組み込みPFN充電電圧10 kVで試験を行なった⁽³⁾。そして今回6スタック5直列、常用耐圧45 kVのフルモデルを製作、同試験を行なった。以下にフルモデルの仕様および試験結果を示す。

2. サイリスタスイッチの仕様

今回製作したサイリスタスイッチの仕様は次のとおり。

◎スイッチ仕様

(1) 定格電圧	45 kV
(2) 定格電流	750 A _{peak}
(3) パルス幅	600 μ s
(4) 繰り返し (矩形波パルス電流)	50 Hz
(5) di/dt	100 A/ μ s

(6) 冷却	自冷式
(7) 本体サイズ	1750 ^{mm} ×1134 ^{mm} ×903 ^{mm}

◎使用サイリスタ素子 (素子定格)

(1) 形式	日立、CPS300A35
(2) 尖頭逆耐電圧	3500V (素子あたり)
(3) 平均順電流	320A
(4) 構成	6直列スタック×5段 (計30直列)

◎制御電源 (入力仕様)

(1) 電圧	AC190V
(2) 相数	単相
(3) 周波数	50Hz

サイリスタスイッチの回路図を図1に、外観写真を図2に示す。

3. サイリスタスイッチの試験

モジュレータ盤内のサイラトロンタンク撤去、サイリスタスイッチの盤内挿入、そのための盤内改造工事、トリガパルス幅の拡張 ($2\mu\text{s} \rightarrow 10\mu\text{s}$) 等の事前準備を行なった後試験に臨んだ。ゲート信号取り合いの確認 (図3参照)、耐電圧試験 (DC 50 kV 10分間印加) を行なった後、モジュレータの出力をパルストランス (昇圧比 1:7) を通したクライストロン負荷 (TH2104A, Thomson)⁽⁴⁾ に接続した状態でパルス動作試験を行なった。PFN充電電圧: 37 kV、モジュレータ出力電圧: 18.5 kV (クライストロンカソード電圧が最大定格値 (130 kV) になる)、クローバ遅延時間: 440 μs 、繰り返し: 20 Hz における各部出力波形を図4、図5に示す。クローバサイラトロンをサイリスタスイッチトリガー後 440 μs で導通させパルス出力回路を短絡する (図4参照) ことにより、図5に示すようにサイリスタに逆電圧がかかる時間が 350 μs 以上になった。これはサイリスタに必要なリカバリングタイム (300 μs) 以上であり、全てのサイリスタが確実に turn-off されている。各波形を見る限りでは以上のように良好な結果が得られており、またモジュレータは試験以降も PFN の放電にサイリスタスイッチを使用し、現在まで上記以下の条件で約 2.5 時間支障なく運転を続けている。今後は繰り返し等を上げ、より厳しい条件を課すなどしながら経過を見守る方針である。

その他 GTO サイリスタを用いたスイッチも現在検討中であり、昨年度常用耐圧 9 kV の縮小モデルの試験を行なっている⁽³⁾。GTO サイリスタの場合直接直流電源を ON/OFF してパルスを得る電源方式まで発展できるため大いに期待がかかっている。

謝辞

製作・試験の際には日立工場・小川真一氏をはじめ日立製作所の方々に大変お世話になり、感謝を致します。

参考文献

- (1) E. Takasaki et al., 第13回本研究会予稿集, (1988), p. 263
- (2) T. Takenaka et al., 第14回本研究会予稿集, (1989), p. 54
- (3) S. Anami et al., Proc. of the 1990 Linear Accelerator Conf., 1990, Albuquerque, NM, U.S.A.
- (4) K. Kudo et al., 第14回本研究会予稿集, (1989), p. 281

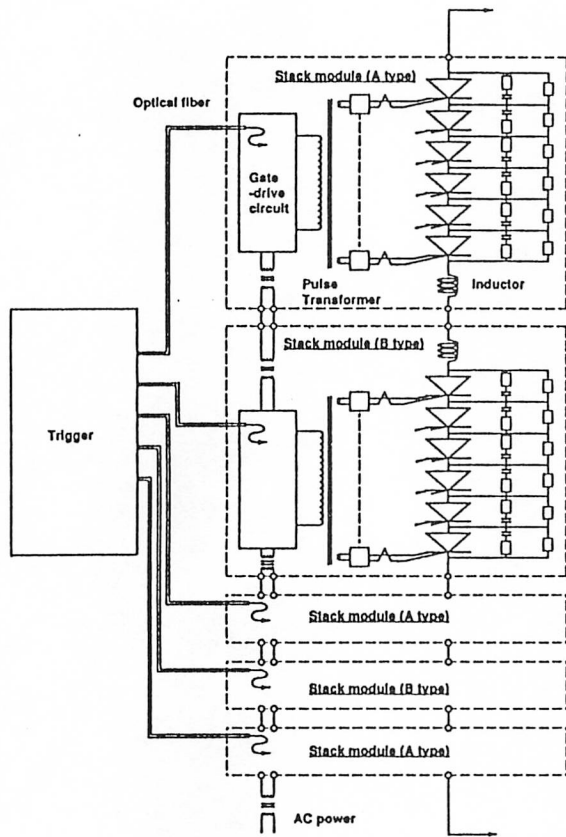


図1. サイリスタスイッチ回路図

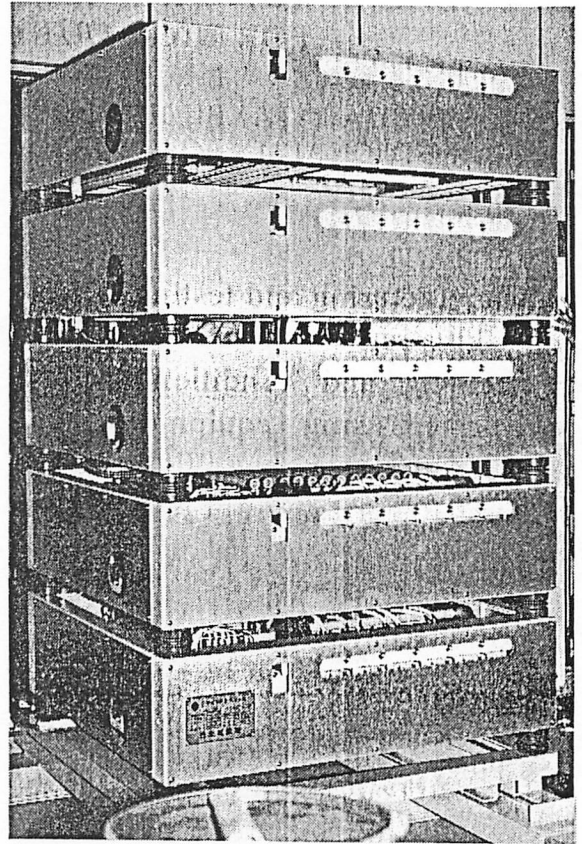


図2. サイリスタスイッチ外観

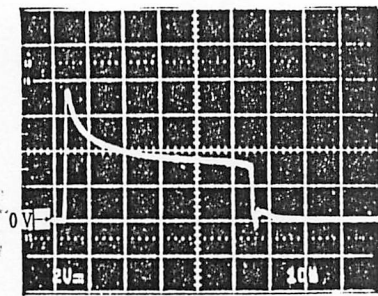


図3.
ゲート電圧 (2 V/div.)
(10 μs/div.)

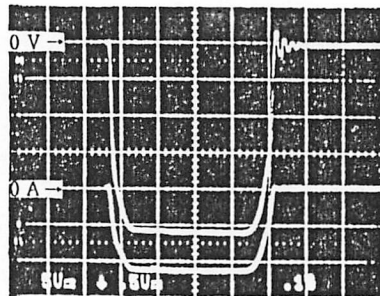


図4.
上: クライストロンカソード
電圧 (25 kV/div.)
下: クライストロンカソード
電流 (40 A/div.)
(0.1 ms/div.)

クローバ動作時 負電圧誘起

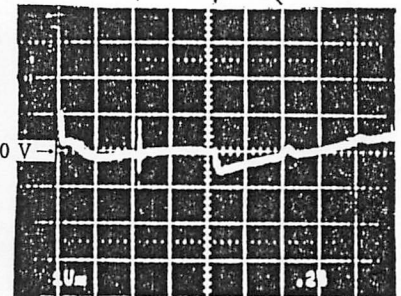


図5.
サイリスタアノード電圧
(2 kV/div.)
(0.2 ms/div.)